

科目名	デジタル工学	英語科目名	Digital technology
開講年度・学期	平成21年度・後期	対象学科・専攻・学年	電子制御工学科 5年
授業形態	講義	必修 or 選択	選択
単位数	2単位	単位種類	履修単位(30h)
担当教員	西野 聡	居室(もしくは所属)	電子制御工学科4階
電話	0285-20-2262	E-mail	nishino@oyama-ct.ac.jp
授業の達成目標			
<p>授業目的:</p> <ol style="list-style-type: none"> 1. 論理回路設計言語の標準である Verilog-HDL を学習する。 2. Verilog-HDL による設計の実習を通して現在のデジタルLSI の設計手法を体験する。 3. Verilog-HDL の文法を調査発表することで、文献内容をまとめ発表する能力を養う。 <p>達成目標:</p> <ol style="list-style-type: none"> 1. Verilog-HDL の基本文法が説明できる。 2. Verilog-HDL により基本論理回路が記述できる。 3. Verilog-HDL を使用して LSI を設計できる基礎力が身に付く。 4. Verilog-HDL により、簡単な回路設計とシミュレーションができる。 <p>* 前半の数週は特許教育も行う。</p>			
各達成目標に対する達成度の具体的な評価方法			
試験での評点(下記1,2の割合)が60%以上で達成とする。			
評価方法			
<ol style="list-style-type: none"> 1. 期末試験(60%) 2. 実習の達成度(40%)と調査発表の結果で行う。 <p>試験における参考書、コピー、携帯電話、電卓、ノート、メモ等の持ち込みは不可。</p>			
授業内容	授業内容に対する自学自習項目	自学自習時間	
1. Verilog-HDL の文法の調査学習とその発表会	Verilog-HDL と VHDL の違い	4	
2. Verilog-HDL の文法の調査学習とその発表会	モジュール記述と構造について	4	
3. Verilog-HDL の文法の調査学習とその発表会	各宣言について	4	
4. Verilog-HDL の文法の調査学習とその発表会	Function について	4	
5. Verilog-HDL の文法の調査学習とその発表会	If 文の使用法	4	
6. Verilog-HDL の文法の調査学習とその発表会	case 文の使用法	4	
7. Verilog-HDL による回路設計の実習-(2週)	Always, define 文の使用法	4	
(前期中間試験)			
8. Verilog-HDL による回路設計の実習-(2週)	8ビット乗算器	4	
9. Verilog-HDL による論理合成の実習-(4週)	8ビット加算器と減算器	4	
10. Verilog-HDL による論理合成の実習-(4週)	同期式カウンタ	4	
11. Verilog-HDL による論理合成の実習-(4週)	8ビット比較器	4	
12. Verilog-HDL による論理合成の実習	除算器	4	
13. Verilog-HDL によるシミュレーションの実習	マルチプレクサ	4	
14. Verilog-HDL によるシミュレーションの実習	減算カウンタ	4	
15. Verilog-HDL によるシミュレーションの実習	機能記述の構造記述	4	
		自学自習時間合計	60

キーワード	RTL 設計、インスタンス化	
教科書	教科書:使用しない。適時プリントを配布。	
参考書	1. 深山、北川、鈴木「HDL による VLSI 設計・第 2 版」共立出版(2002) 2. 並木、前田、宮尾「実用入門・デジタル回路と Verilog-HDL」技術評論社(2000)	
小山高専の教育方針	～ との対応	
技術者教育プログラムの学習・教育目標		
(B - 3) (C - 1)		
JABEE 基準 1 の (1) との関係	(b) (d) (e)	
カリキュラム中の位置づけ		
前年度までの関連科目	論理回路 I、II	
現学年の関連科目	情報工学	
次年度以降の関連科目	電子回路特論	
連絡事項		
1. 授業は調査発表 実習のくり返し行う 2. 発表会と実習が授業時間の 80%となる。 3. 実習は当研究室の学生が取りまとめる。場所は電子計算機室等で行う。 4. 期末試験は 30 分で行い、筆記用具以外の持ち込みは禁止とする。		
シラバス作成年月日		