

科目名	デジタル工学	英語科目名	Digital technology	
開講年度・学期	平成24年度・後期	対象学科・専攻・学年	電子制御工学科 5年	
授業形態	講義	必修 or 選択	選択	
単位数	2単位	単位種類	履修単位(30h)	
担当教員	大島 心平	居室(もしくは所属)	電子制御工学科棟3階	
電話		E-mail		
授業の達成目標	授業達成目標との対応			
	小山高専の教育方針	学習・教育目標(JABEE)	JABEE 基準要件	
	1. Verilog-HDL の基本文法が説明できる。	①、②	○(B-3)(C-1)	(b)(d)(e)
	2. Verilog-HDL により基本論理回路が記述できる。	①、②	○(B-3)(C-1)	(b)(d)(e)
	3. Verilog-HDL を使用して LSI を設計できる基礎力が身に付く。	①、②	○(B-3)(C-1)	(b)(d)(e)
4. Verilog-HDL により、簡単な回路設計とシミュレーションができる。	①、②	○(B-3)(C-1)	(b)(d)(e)	
各達成目標に対する達成度の具体的な評価方法				
試験での評点(下記1,2の割合)が60%以上で達成とする。				
評価方法				
1. 期末試験(60%)				
2. 実習の達成度(40%)と調査発表の結果で行う。				
授業内容	授業内容に対する自学自習項目		自学自習時間	
1. Verilog-HDL の文法の調査学習、発表	Verilog-HDL の概要について		4	
2. Verilog-HDL の文法の調査学習、発表	モジュール記述と構造について		4	
3. Verilog-HDL の文法の調査学習、発表	各宣言について		4	
4. Verilog-HDL の文法の調査学習、発表	Function について		4	
5. Verilog-HDL の文法の調査学習、発表	If 文の使用法		4	
6. Verilog-HDL の文法の調査学習、発表	case 文の使用法		4	
7. Verilog-HDL の文法の調査学習、発表	Always, define 文の使用法		4	
8. Verilog-HDL の実習及び Simulation	乗算器		4	
9. Verilog-HDL の実習及び Simulation	乗算器		4	
10. Verilog-HDL の実習及び Simulation	減算器		4	
11. Verilog-HDL の実習及び Simulation	同期式カウンタ		4	
12. Verilog-HDL の実習及び Simulation	比較器		4	
13. Verilog-HDL の実習及び Simulation	除算器		4	
14. Verilog-HDL の実習及び Simulation	マルチプレクサ		4	
15. Verilog-HDL の実習及び Simulation	減算カウンタ		4	
16. (期末試験)			4	
			自学自習時間合計 60	
キーワード	Verilog-HDL、基本文法、論理回路設計			
教科書	教科書：使用しない。適時プリントを配布。			
参考書	1. 深山、北川、鈴木「HDL によるVLSI 設計・第2版」共立出版(2002) 2. 並木、前田、宮尾「実用入門・ディジタル回路と Verilog-HDL」技術評論社(2000)			
カリキュラム中の位置づけ				
前年度までの関連科目	論理回路 I、II			
現学年の関連科目	情報工学			
次年度以降の関連科目	なし			
連絡事項				
1. 授業は説明、調査発表、実習のくり返し行う				
シラバス作成年月日	平成24年3月31日			