

(学-1) 自学自習の記入の必要がある科目：本科学修及び専攻科の講義演習（授業内容部分に罫線あり 16 週分）

科目名	デジタル工学	英語科目名	Digital technology	
開講年度・学期	平成25年度・前期	対象学科・専攻・学年	電子制御工学科 5年	
授業形態	講義	必修 or 選択	選択	
単位数	2単位	単位種類	履修単位 (30h)	
担当教員	大島 心平	居室 (もしくは所属)	電子制御工学科棟3階	
電話	0285-20-2259	E-mail	s-oshiba@小山高専のドメイン名	
授業の達成目標	授業達成目標との対応			
	小山高専の教育方針	学習・教育目標 (JABEE)	JABEE 基準要件	
	1. Verilog-HDL の基本文法が説明できる。	④、⑤	○ (A-2) (B-3) (C-1)	(b) (d) (e)
	2. Verilog-HDL により基本的な組み合わせ論理回路が記述できる。	④、⑤	○ (A-2) (B-3) (C-1)	(b) (d) (e)
	3. Verilog-HDL を使用して基本的な順序論理回路が記述できる。	④、⑤	○ (A-2) (B-3) (C-1)	(b) (d) (e)
4. Verilog-HDL により、簡単な回路設計とシミュレーションができる。	④、⑤	○ (A-2) (B-3) (C-1)	(b) (d) (e)	
各達成目標に対する達成度の具体的な評価方法				
試験及びレポート等での評点(下記1,2の割合)が60%以上で達成とする。				
評価方法				
1. 期末試験(60%)				
2. レポート、実習の達成度、調査発表(40%)				
授業内容	授業内容に対する自学自習項目	自学自習時間		
1. ガイダンス、LSI 設計、HDL について	LSI 設計と HDL について	4		
2. Verilog-HDL の文法の調査学習、発表	Verilog-HDL の概要について	4		
3. Verilog-HDL の文法の調査学習、発表	モジュール記述と構造について	4		
4. Verilog-HDL の文法の調査学習、発表	各宣言について	4		
5. Verilog-HDL の文法の調査学習、発表	assign 文、function 文の使用法	4		
6. Verilog-HDL の文法の調査学習、発表	if 文の使用法、case 文の使用法	4		
7. Verilog-HDL の文法の調査学習、発表	always 文の使用法	4		
8. Verilog-HDL の文法の調査学習、発表	テストベンチについて	4		
9. Verilog-HDL の実習及び Simulation	ゲート回路の記述	4		
10. Verilog-HDL の実習及び Simulation	フリップフロップ回路の記述	4		
11. Verilog-HDL の実習及び Simulation	加算器の記述	4		
12. Verilog-HDL の実習及び Simulation	減算器、乗算器等の記述	4		
13. Verilog-HDL の実習及び Simulation	同期式カウンタの記述	4		
14. Verilog-HDL の実習及び Simulation	エンコーダ、デコーダの記述	4		
15. Verilog-HDL の実習及び Simulation	マルチプレクサの記述	4		
16. (期末試験)				
自学自習時間合計			60	
キーワード	Verilog-HDL、基本文法、論理回路設計			
教科書	教科書：使用しない。適時プリントを配布。			
参考書	1. 小林、「入門Verilog HDL記述」CQ出版 (2009) 2. 深山、北川、鈴木「HDL によるVLSI 設計・第2 版」共立出版 (2002) 3. 並木、前田、宮尾「実用入門・デジタル回路と Verilog-HDL」技術評論社 (2000)			
カリキュラム中の位置づけ				
前年度までの関連科目	論理回路 I、II			
現学年の関連科目	情報工学			
次年度以降の関連科目	なし			
連絡事項				
1. 授業は説明、調査発表、実習のくり返し行う。 2. 授業の前に予備調査が必ず必要です。				
シラバス作成年月日	平成 24 年 3 月 27 日			
	平成 26 年 8 月 1 日 学習・教育目標を一部修正			