

科目名	集積回路設計	英語科目名	Integrated Circuits Design	
開講年度・学期	平成 23 年度 後期	対象学科・専攻・学年	電気情報工学科 5 年	
授業形態	講義	必修 or 選択	選択	
単位数	2 単位	単位種類	学修単位 (15+30) h	
担当教員	今成一雄	居室 (もしくは所属)	電気・物質棟 2 階	
電話	0285-20-2100 (代表)	E-mail	imanari@小山高専ドメイン	
授業の達成目標		授業達成目標との対応		
		小山高専の教育方針	学習・教育目標 (JABEE)	JABEE 基準要件
		④	A-2	d(2-a)
		④	A-2	d(2-a)
1. Verilog HDL の文法が理解できる。		④	B-3	d(2-d)
2. Verilog HDL で記述された回路の動作 (記述内容) が理解・説明できる。		④		
3. Verilog HDL で論理回路・CPU を設計できる。		④		
各達成目標に対する達成度の具体的な評価方法				
達成目標 1～3 : 中間・期末試験において 60 % 以上の成績で達成とする。提出物の内容を設定水準で評価する。				
評価方法				
中間試験 35%、期末演習課題 35%、自学自習課題 30% として評価する。試験時間は 90 分とし、教科書、参考書、コピー、電卓の持ち込み許可は、授業中に指示する。				
授業内容	授業内容に対する自学自習項目		自学自習時間	
1. ガイダンス デジタル回路設計事始め	授業後、今回のレジメ 回路設計事始め を要約して、報告書にまとめて次回授業の開始前までに提出する。		4	
2. Verilog-HDL 基本文法 1	今回のレジメ Verilog-HDL 基本文法 1 を予習して授業に臨み、授業後、内容を要約して、報告書にまとめて次回授業の開始前までに提出する。		4	
3. Verilog-HDL 基本文法 2 シミュレータの取扱い	今回のレジメ Verilog-HDL 基本文法 2 を予習して授業に臨み、授業後、内容を要約して、報告書にまとめて次回授業の開始前までに提出する。		4	
4. 回路記述 組合せ回路編 1	今回のレジメ 回路記述 基礎編 1 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
5. 回路記述 組合せ回路編 2	今回のレジメ 回路記述 基礎編 2 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
6. 回路記述 組合せ回路編 3	今回のレジメ 回路記述 組合せ回路編 1 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
7. 回路記述 順序回路編 1	今回のレジメ 回路記述 組合せ回路編 2 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
8. 中間試験	試験勉強		4	
9. 中間試験 解答と解説 回路記述 順序回路編 2	今回のレジメ 回路記述 順序回路編 1 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
10. 回路記述 順序回路編 3	今回のレジメ 回路記述 順序回路編 2 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
11. 回路記述 応用・実用編 1	今回のレジメ 回路記述 応用編 1 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
12. 回路記述 応用・実用編 2	今回のレジメ 回路記述 応用編 2 を予習して授業に臨み、授業後、今回の授業で説明された記述を実習し、その結果を報告書にまとめて次回授業の開始前までに提出する。		4	
13. 回路記述 CPU 1 (課題説明と演習)	今回のレジメ 回路記述 CPU 1 を予習して授業に臨む。授業中に出される期末演習課題を残り 3 週の授業時間・学習時間を注ぎ込んで解答する。		4	
14. 回路記述 CPU 2 (質疑応答と演習)	授業では、課題に関する質疑応答と演習を行う。授業時間・自宅学習時間を課題の解答に充てる。		4	
15. 回路記述 CPU 3 (質疑応答と演習)	授業では、課題に関する質疑応答と演習を行う。授業時間・自宅学習時間を課題の解答に充てる。結果は報告書にまとめて期限までに提出する。		4	
(後期期末試験)		自学自習時間合計		
		60		
キーワード	HDL、VHDL、Verilog-HDL、論理合成			
教科書	小林 優「Design Wave Basic 改訂 入門 Verilog HDL 記述」CQ 出版(2004)。			
参考書	森岡澄夫「Design Wave Book HDL による高性能デジタル回路設計」CQ 出版(2004)。			
カリキュラム中の位置づけ				
前年度までの関連科目	コンピュータ工学			
現学年の関連科目	信号処理、デジタル回路、情報工学実験、卒業研究			
次年度以降の関連科目	なし			
連絡事項				
授業内容は、前期開講の デジタル回路 を履修・修得している前提で構成されている。C 言語の基本的な知識とプログラミング能力を有していることが求められる。理解困難な点は随時学習相談に応じる。電子メールでも受け付ける。				
シラバス作成年月日	平成 23 年 2 月 3 日			